

GAU 1765

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

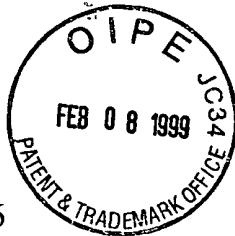
In Re Application of

Wu, et al.

Serial No.: 09/132,876

Filed: August 11, 1998

For: **Chemical-Mechanical Polishing  
Method**



Examiner: Unassigned

Art Unit: 1765

Docket No.: 252103-2040

RECEIVED  
FEB 12 1999  
GROUP 1700

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postage prepaid, in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on February 2, 1999.

*Sharon S. Kelly*  
Signature - Sharon S. Kelly

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Assistant Commissioner of Patents and Trademarks  
Washington, D.C. 20231

Sir:

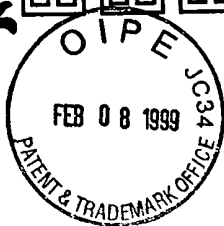
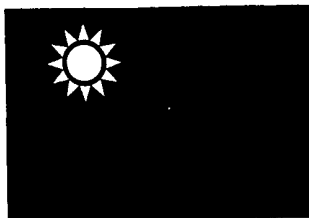
Pursuant to 35 U.S.C. §119, enclosed is a certified copy of the priority document (a Taiwanese patent application entitled, "Chemical-Mechanical Polishing Method", filed August 11, 1998, and assigned serial number 09/132,876), to which Applicant claimed priority in the specification and declaration filed in the above-identified patent application.

Respectfully submitted,

**Thomas, Kayden, Horstemeyer & Risley**

BY: *Daniel R. McClure*  
Daniel R. McClure  
Registration No.: 38,962

100 Galleria Parkway  
Suite 1500  
Atlanta, Georgia 30339  
(770) 933-9500



# 中華民國經濟部中央標準局

NATIONAL BUREAU OF STANDARDS  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
Bureau of the application as originally filed which is identified hereunder:

申請日：西元 1998 年 6 月 30 日  
Application Date

申請案號：87110514  
Application No.

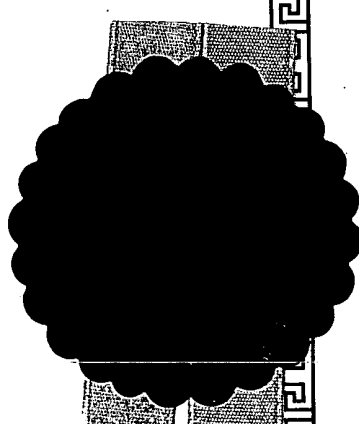
申請人：聯華電子股份有限公司  
Applicant(s)

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

**BEST AVAILABLE COPY**

局長  
Director General

陳明邦



發文日期：西元 1999 年 1 月 16 日  
Issue Date

發文字號：102024  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	化學機械研磨製程
	英 文	
二、發明人 創作	姓 名	1 吳坤霖 2 蔡孟錦
	國 籍	中華民國
	住、居所	1 台中市台中港路 2 段 98 之 18 號 2 高雄市楠梓區後昌路 1234 號
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝  
訂  
線

## 四、中文發明摘要(發明之名稱： 化學機械研磨製程 )

一種化學機械研磨製程，用於製造金屬內連線，首先提供一半導體基底與其上的第一金屬線層。然後，再形成介電層。接著，進行化學機械研磨法，研磨介電層的表面。之後，在介電層上，形成薄的帽蓋層。帽蓋層的材料可為二氧化矽、磷矽玻璃或多矽氧化矽層，其厚度在約 1000-3000Å 之間。帽蓋層的形成方法包括：以矽甲烷( $\text{SiH}_4$ )為主或是以原矽酸四乙酯(TEOS)為主的反應劑，利用化學氣相沈積法，形成氧化矽層；或是以矽甲烷( $\text{SiH}_4$ )為主或是以二氯矽甲烷( $\text{SiH}_2\text{Cl}_2$ )為主的反應劑，利用化學氣相沈積法，形成氮化矽層。然後，在介電層與帽蓋層中，形成接觸窗口，與第二金屬線層，其電性連接接觸窗口。

英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( 1 )

本發明是有關於一種金屬內連線 (metal interconnects) 製程，且特別是有關於一種用於平坦化 (planarization) 內介電層 (Inter Layer Dielectric; ILD) 或是內金屬介電層 (Inter Metal Dielectric; IMD) 的化學機械研磨製程 (Chemical Mechanical Polishing; CMP)。

在半導體的製程上，例如超大型積體電路 (Very-Large Scale Integration; VLSI)，或甚至極大型積體電路 (Ultra-Large Scale Integration; ULSI) 製程，通常會隨著元件的積集度增加，在晶片上製作兩層以上的金屬層，以便於在有限的晶片表面上製作高密度的金屬內連線，以配合日趨精密且複雜的積體電路的發展需求。而金屬內連線結構中，通常都具有內介電層 (ILD) 或是內金屬介電層 (IMD) 等，用以作金屬線間的絕緣之用。所以，當元件的設計準則 (design rules) 越趨細密之後，對這些內介電層 (ILD) 或是內金屬介電層 (IMD) 的品質要求，例如對平坦化的要求，也會隨之升高。

一般來說，表面平坦化是處理高密度微影的一項重要技術，因沒有高低落差的平坦表面才能避免曝光散射，而達成精密的圖案轉移 (pattern transfer)。平坦化技術主要有旋塗式玻璃法 (Spin-On Glass; SOG) 與化學機械研磨法 (CMP) 等二種；但在半導體製程技術進入毫微米 (sub-half-micron) 之後，旋塗式玻璃法已無法滿足所需求的平坦度，所以化學機械研磨技術是現在唯一能提供超大型積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 2 )

體電路(VLSI)，甚至極大型積體電路(ULSI)製程，“全面性平坦化(global planarization)”的一種技術。

請參照第 1A 圖至第 1D 圖，其所繪示的為習知一種金屬金屬內連線結構製造方法的剖面示意圖。首先，請參照第 1A 圖，提供半導體基底 10，其上形成一內介電層 12(ILD)。接著，在內介電層 12 上形成導電線層 14，例如金屬鋁層或是多晶矽層。並在內介電層 12 與導電線層 14 上沈積絕緣層 16，較佳的是利用高密度電漿化學氣相沉積法(High Density Plasma-CVD；HDP-CVD)來形成，因此容易在導電線層 14 的上方形形成金字塔形剖面 18 的結構。然後，在絕緣層 16 上覆蓋內金屬介電層 19(IMD)。

接著，請參照第 1B 圖，進行化學機械研磨法(CMP)，研磨內金屬介電層 19 的表面，用以平坦化內金屬介電層 19 的表面。此時，由於化學機械研磨法容易產生過拋的情形(overpolishing)，或是由於研磨粒子損傷晶片的表面，而導致微刮(micro-scratch)的現象。因此，會在內金屬介電層 19 的表面形成一些深度與尺寸大小不一的刮痕，例如刮痕 20a 與 20b。

接著，請參照第 1C 圖，繼續後面的製程，包括進行微影與蝕刻等定義圖案的步驟，在絕緣層 16 與內金屬介電層 19 中蝕刻出開口 22，露出導電線層 14。開口 22 用以作介層窗口(via)之用。

接著，請參照第 1D 圖，在開口 22 中與內金屬介電層 19 上形成金屬層 26。並進行微影與蝕刻步驟，定義此金

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(3)

屬層 26 的圖案，形成第二層的金屬線層 26。由於在內金屬介電層 19 的表面有刮痕 20a 與 20b 等存在，因此亦會在刮痕 20a 與 20b 中填入金屬層，而形成金屬刮痕 24a 與 24b。

上述餘留的金屬刮痕容易造成一些缺點，如第 2 圖所示，其所繪示的為習知一種金屬內連線結構的俯視示意圖。其中，在半導體基底(未顯示)上，設有第一導電線層 30，例如金屬鋁層或是多晶矽層。在第一導電線層 30 上，還設有第二導電線層 32，而第一導電線層 30 透過介層窗 33 與第二導電線層 32 電性連接。若是在起初研磨第一導電線層 30 表面時，產生過拋的情形，形成了金屬刮痕 34。於是容易因此金屬刮痕 34 的存在，而導致後續金屬線(例如第二導電線層 32)的導通短路情形。

有鑑於此，本發明的主要目的就是在提供一種化學機械研磨製程，用於製作金屬內連線，其可以防止由於過拋情形或研磨粒子損傷晶片的表面，所導致的微刮現象，消除金屬線間不當的短路或交流情形(cross-talk)。

為達成上述之目的，本發明提出一種化學機械研磨製程，首先提供一半導體基底，在其上已形成第一金屬線層。然後，在半導體基底與第一金屬線層上，形成第一介電層，第一介電層的材料可為二氧化矽，其形成方法例如高密度電漿化學氣相沈積法(HDP-CVD)。再於該第一介電層上，形成第二介電層，第二介電層的材料可為二氧化矽，其形成方法為電漿加強式化學氣相沈積法(PECVD)。

## 五、發明說明 (4)

接著，進行化學機械研磨法(CMP)，研磨第二介電層的表面。之後，在第二介電層上，形成薄的帽蓋層。帽蓋層的形成方法包括：(1)以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用電漿加強式化學氣相沈積法(PECVD)，形成氧化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整；或是(2)以原矽酸四乙酯(TEOS)為主的反應劑，利用化學氣相沈積法(CVD)，形成氧化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整；或是(3)以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用化學氣相沈積法(CVD)，形成氮化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整；或是(4)以二氯矽甲烷( $\text{SiH}_2\text{Cl}_2$ )為主的反應劑，利用化學氣相沈積法(CVD)，形成氮化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。然後，在第一介電層、第二介電層與帽蓋層中，形成接觸窗口，露出第一金屬線層。以及在帽蓋層上與接觸窗口中，形成第二金屬線層，其電性連接接觸窗口。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1D 圖，其所繪示的為習知一種金屬內連線製造流程的剖面示意圖；

第 2 圖，其所繪示的為習知一種金屬內連線結構的俯



## 五、發明說明( 5 )

視示意圖；以及

第 3A 圖至第 3E 圖，其所繪示的為根據本發明之一較佳實施例，一種金屬內連線製造流程的剖面示意圖。

其中，各圖示之標號所代表的元件結構如下：

- 10,40：半導體基底
- 12,42：內介電層(ILD)
- 14,30：第一層導電線層
- 16,46：絕緣層
- 18,48：金字塔形剖面
- 19,50：內金屬介電層(IMD)
- 20a,20b,52a,52b：刮痕
- 22,33：接觸窗口
- 24a,24b,34：金屬刮痕
- 26,32：第二層導電線層

### 實施例

本發明的特徵是，在進行化學機械研磨步驟之後，再鋪蓋一層帽蓋層(cap layer)於介電層上，使得平坦化步驟的品質更佳，可避免由於化學機械研磨法產生過拋的情形(overpolishing)，或是由於研磨粒子損傷晶片的表面，而導致微刮(micro-scratch)的現象。消除介電層上的刮痕與後續金屬線的導通短路情形。

一般來說，高密度電漿化學氣相沉積法(HDP-CVD)的原理描述如下：此法為兩種製程的結合，即化學沉積和物理轟擊蝕刻兩種製程同時發生。沉積的製程主要藉由誘發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 6 )

高電子密度電漿促進反應氣體的離化效率(ionization efficiency)，再利用反應離子的動能和化學能，打破半導體基底表面的鍵結，進行反應而沉積於半導體基底上，產生溝填的作用。至於蝕刻的製程，主要決定於氬氣，其物理轟擊蝕刻是造成溝渠轉角  $45^\circ$  切面的主因。由於沉積反應與物理蝕刻的搭配，高密度電漿化學氣相沉積法可以控制於微小的金屬間隙介電層溝填應用，而不易造成孔洞，非常適用於目前的金屬內連線製程。

請參照第 3A 圖至第 3E 圖，其所繪示的為根據本發明之一較佳實施例，一種金屬內連線製造流程的剖面示意圖。首先，請參照第 3A 圖，提供半導體基底 40，在半導體基底 40 上形成內介電層 42(ILD)。然後，在第一介電層 42 上，形成第一金屬線層 44，其材料可為金屬鋁或摻雜的多晶矽，且形成方式例如為化學氣相沈積法或金屬濺鍍法，然後再定義此第一金屬線層 44 的圖案。接著，在內介電層 42 與第一金屬線層 44 上，形成絕緣層 46 與內金屬介電層 50(IMD)。其中，絕緣層 46 的材料例如為二氧化矽，其形成方法例如為高密度電漿化學氣相沈積法(HDP-CVD)。由於高密度電漿化學氣相沉積法的特性，在每個第一金屬線層 44 上方會形成凸出的結構，其高度例如為約  $10\text{K}\text{\AA}$  左右，例如尖銳的金字塔形剖面結構 48，如第 3A 圖所示。而內金屬介電層 50 的材料例如為二氧化矽，其厚度例如為約  $20\text{K}\text{\AA}$  左右，且其形成方法例如為電漿加強式化學氣相沈積法(PECVD)。

## 五、發明說明( 7 )

接著，請參照第 3B 圖，進行平坦化的步驟，平坦化內金屬介電層 50 的表面。其方式較佳的是進行研磨步驟，例如為化學機械研磨法(CMP)，磨平內金屬介電層 50 的表面。由於化學機械研磨法容易產生過拋的情形，或是由於研磨粒子損傷晶片的表面，而導致微刮的現象。因此，會在內金屬介電層 50 的表面形成一些深度與尺寸大小不一的刮痕，例如刮痕 52a 與 52b。

接著，請參照第 3C 圖，在內金屬介電層 50 上形成帽蓋層 54，用以覆蓋住刮痕 52a 與 52b，使得在刮痕處都填滿帽蓋層 54，形成絕緣刮痕 56a 與 56b。帽蓋層 54 的材料例如為二氧化矽、磷矽玻璃(Phosphate Silicon Glass；PSG)或多矽氧化矽層(Silicon Riched Oxide；SRO)，其厚度較佳的是在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。此帽蓋層 54 為本發明的特徵，其形成方法有許多種，一一列舉描述如下：(1)帽蓋層 54 的形成方法可為以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用化學氣相沈積法(CVD)，而形成氧化矽層；(2)或是帽蓋層 54 的形成方法可為以原矽酸四乙酯(TEOS)為主的反應劑，利用電漿加強式化學氣相沈積法(PECVD)，而形成二氧化矽層；(3)帽蓋層 54 的形成方法可為以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用化學氣相沈積法(CVD)，而形成氮化矽層；(4)或是帽蓋層 54 的形成方法可為以二氯矽甲烷( $\text{SiH}_2\text{Cl}_2$ )為主的反應劑，利用化學氣相沈積法(CVD)，而形成氮化矽層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

接著，請參照第 3D 圖，進行微影與蝕刻步驟，在絕緣層 46、內金屬介電層 50 與帽蓋層 54 中形成開口 58，暴露出第一金屬線層 44。此開口 58 對應預定形成金屬介層窗(via)的位置，

接著，請參照第 3E 圖，在開口 58 中填入導電材料，例如金屬鎢或其他導電材料，可用以電性連接上下兩層金屬層。以及在帽蓋層 54 上與接觸窗口 58 中，形成第二金屬線層 60，於是完成本發明之金屬內連線結構。

綜上所述，本發明所提出之化學機械研磨製程，用於製造金屬內連線，具有以下的好處：

(1)本發明所提出之化學機械研磨製程，可使得平坦化的品質更佳，避免由於化學機械研磨法產生過拋的情形，或是由於研磨粒子損傷晶片的表面，而導致微刮的現象。

(2)本發明所提出之化學機械研磨製程，可消除介電層上之後續金屬線因刮痕而導致的短路情形。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍。

1.一種化學機械研磨製程，其中在一半導體基底上，依序形成有一第一金屬線層與一介電層，該製程包括下列步驟：

進行一研磨步驟，將該介電層的表面磨平；以及  
形成一薄的帽蓋層，在該介電層的表面上。

2.如申請專利範圍第 1 項所述之製程，其中該第一金屬線層包括摻雜的多晶矽。

3.如申請專利範圍第 1 項所述之製程，其中該介電層的形成方法包括高密度電漿化學氣相沈積法(HDP-CVD)。

4.如申請專利範圍第 1 項所述之製程，其中該介電層的形成方法包括電漿加強式化學氣相沈積法(PECVD)。

5.如申請專利範圍第 1 項所述之製程，其中該介電層包括二氧化矽。

6.如申請專利範圍第 1 項所述之製程，其中該研磨步驟包括化學機械研磨法。

7.如申請專利範圍第 1 項所述之製程，其中該帽蓋層的形成方法包括以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用電漿加強式化學氣相沈積法(PECVD)，形成氧化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

8.如申請專利範圍第 1 項所述之製程，其中該帽蓋層的形成方法包括以原矽酸四乙酯(TEOS)為主的反應劑，利用化學氣相沈積法(CVD)，形成氧化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

9.如申請專利範圍第 1 項所述之製程，其中該帽蓋層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍。

的形成方法包括以矽甲烷( $\text{SiH}_4$ )爲主的反應劑，利用化學氣相沈積法(CVD)，形成氮化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

10.如申請專利範圍第 1 項所述之製程，其中該帽蓋層的形成方法包括以二氯矽甲烷( $\text{SiH}_2\text{Cl}_2$ )爲主的反應劑，利用化學氣相沈積法(CVD)，形成氮化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

11.如申請專利範圍第 1 項所述之製程，其中該帽蓋層的材料包括二氧化矽。

12.如申請專利範圍第 1 項所述之製程，其中該帽蓋層的材料包括磷矽玻璃(PSG)。

13.如申請專利範圍第 1 項所述之製程，其中該帽蓋層的材料包括多矽氧化矽層(SRO)。

14.一種金屬內連線製程，該製程包括下列步驟：

提供一半導體基底，在該半導體基底上已形成一第一金屬線層；

形成一第一介電層，在該半導體基底與該第一金屬線層上；

形成一第二介電層，在該第一介電層上；

進行一研磨步驟，研磨該第二介電層的表面；

形成一帽蓋層，在該第二介電層上；

形成一接觸窗口，在該第一介電層、該第二介電層與該帽蓋層中，露出該第一金屬線層；以及

形成一第二金屬線層，在該帽蓋層上，並電性連接該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍。

接觸窗口。

15.如申請專利範圍第 14 項所述之製程，其中該第一金屬線層包括摻雜的多晶矽。

16.如申請專利範圍第 14 項所述之製程，其中該第一介電層的形成方法包括高密度電漿化學氣相沈積法(HDP-CVD)。

17.如申請專利範圍第 14 項所述之製程，其中該第二介電層的形成方法包括電漿加強式化學氣相沈積法(PECVD)。

18.如申請專利範圍第 14 項所述之製程，其中該第一介電層包括二氧化矽。

19.如申請專利範圍第 14 項所述之製程，其中該第二介電層包括二氧化矽。

20.如申請專利範圍第 14 項所述之製程，其中該研磨步驟包括化學機械研磨法。

21.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的形成方法包括以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用電漿加強式化學氣相沈積法(PECVD)，形成氧化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

22.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的形成方法包括以原矽酸四乙酯(TEOS)為主的反應劑，利用化學氣相沈積法(CVD)，形成氧化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍。

23.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的形成方法包括以矽甲烷( $\text{SiH}_4$ )為主的反應劑，利用化學氣相沈積法(CVD)，形成氮化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

24.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的形成方法包括以二氯矽甲烷( $\text{SiH}_2\text{Cl}_2$ )為主的反應劑，利用化學氣相沈積法(CVD)，形成氮化矽層，厚度在約 1000-3000Å 之間，可依設計準則的厚度需要而作調整。

25.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的材料包括二氧化矽。

26.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的材料包括磷矽玻璃(PSG)。

27.如申請專利範圍第 14 項所述之製程，其中該帽蓋層的材料包括多矽氧化矽層(SRO)。

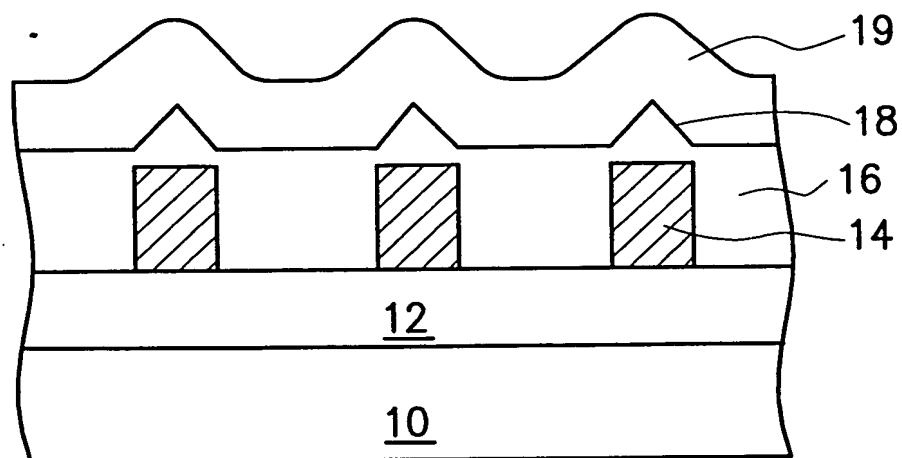
(請先閱讀背面之注意事項再填寫本頁)

裝

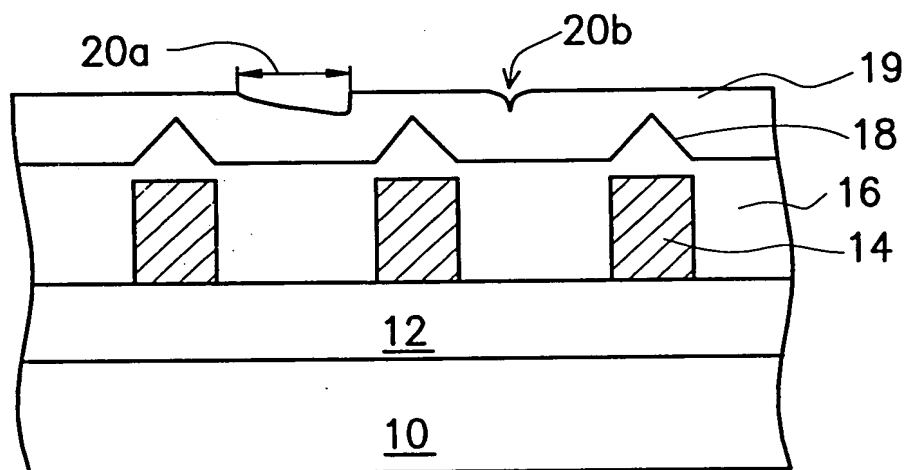
訂

線

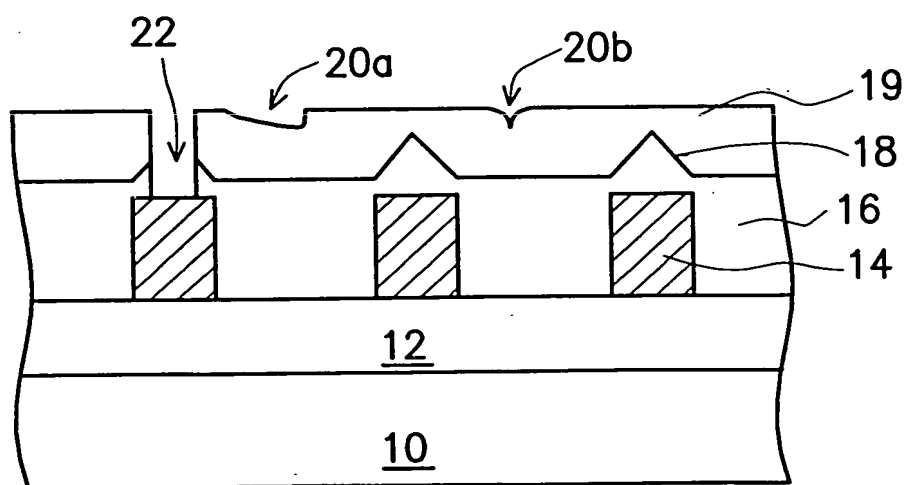




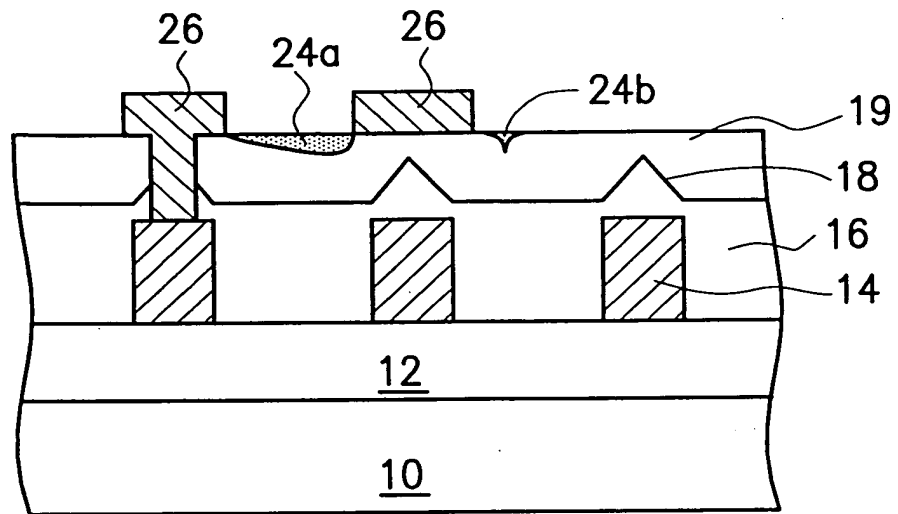
第 1A 圖



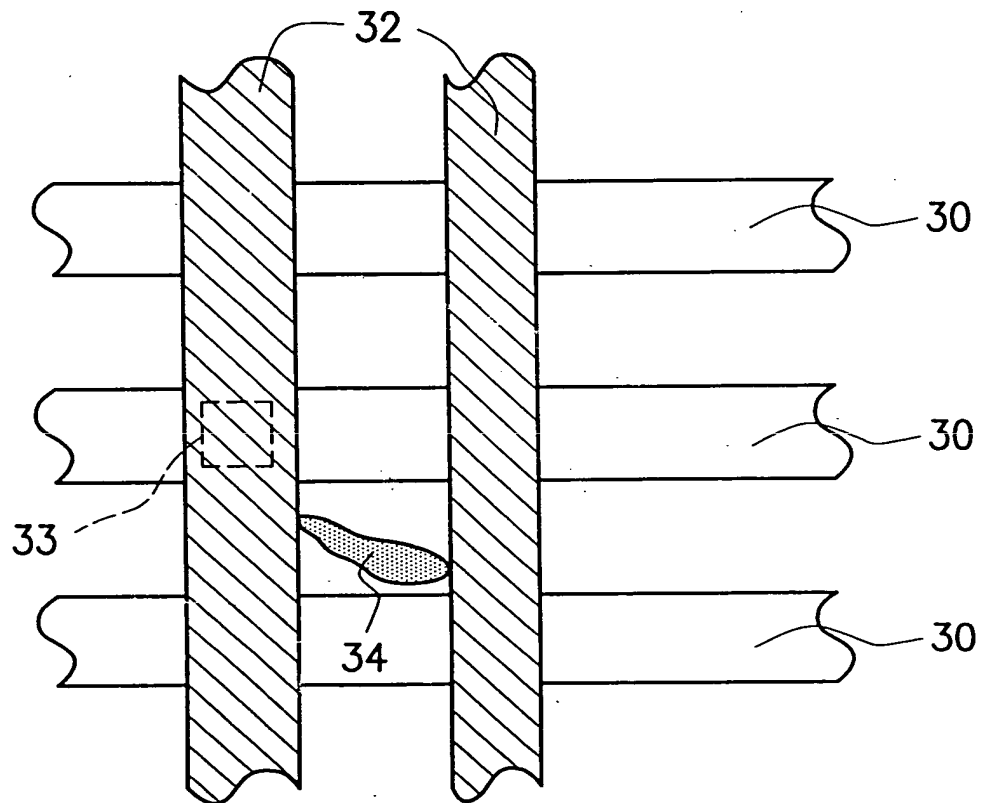
第 1B 圖



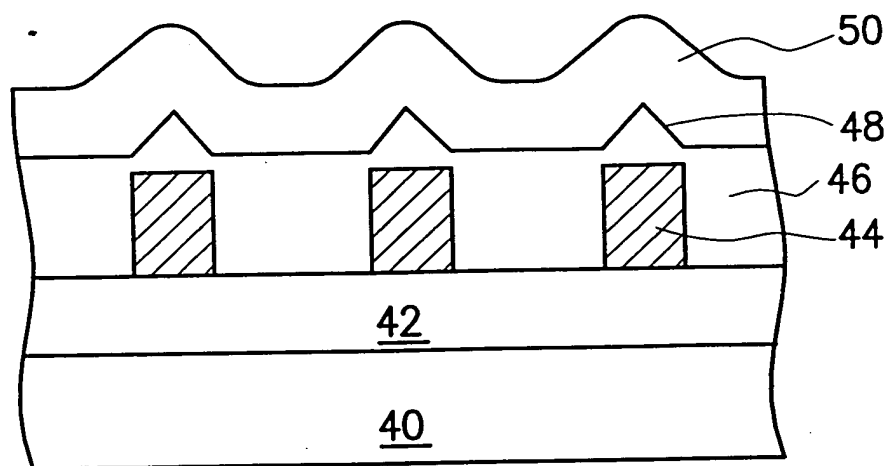
第 1C 圖



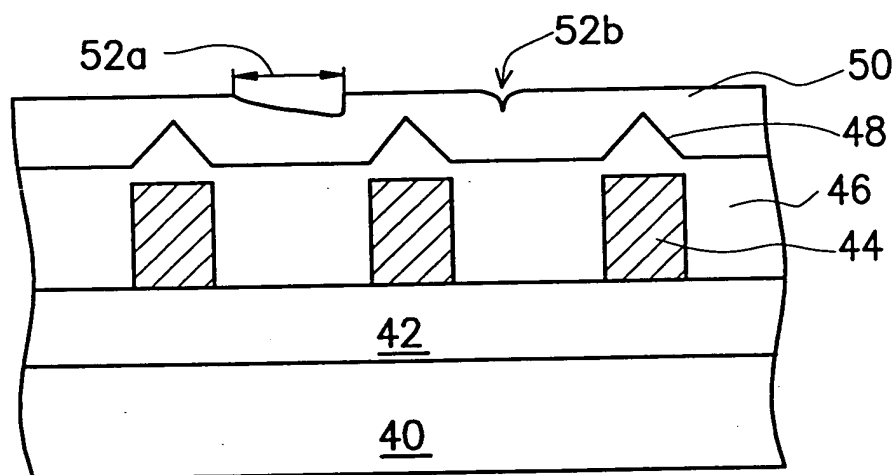
第 1D 圖



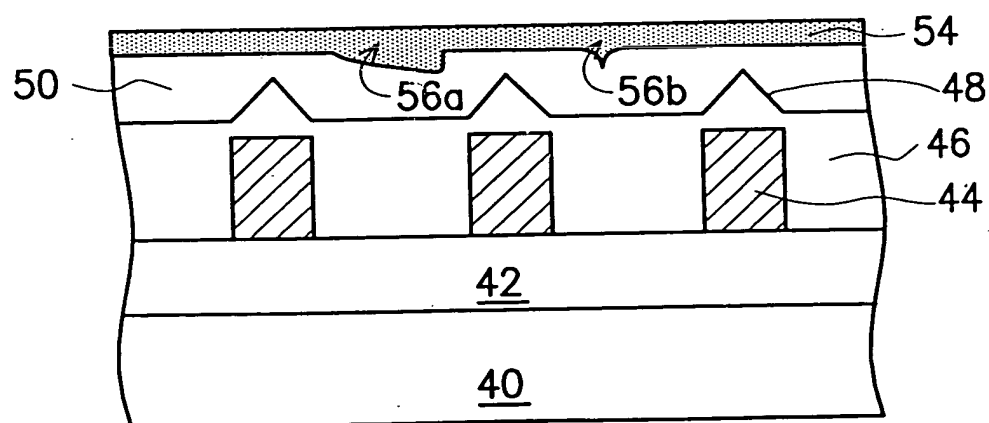
第 2 圖



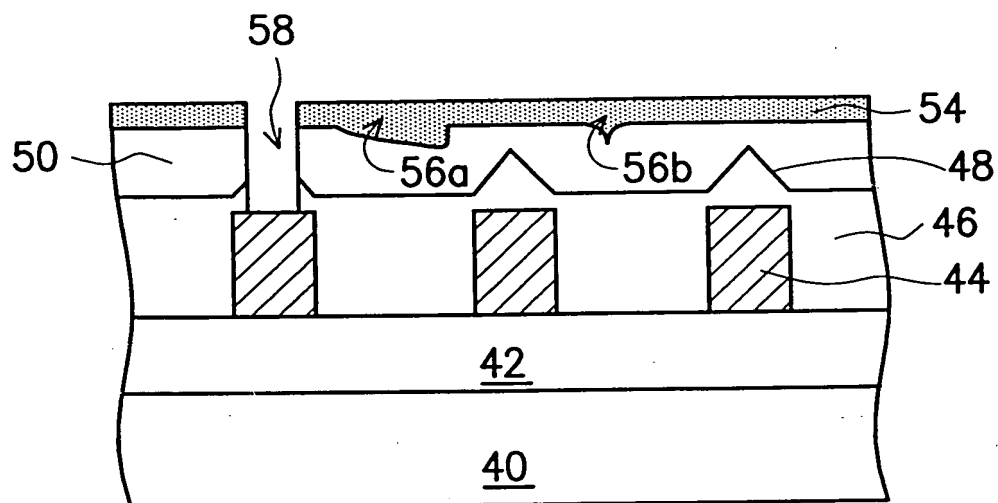
第3A圖



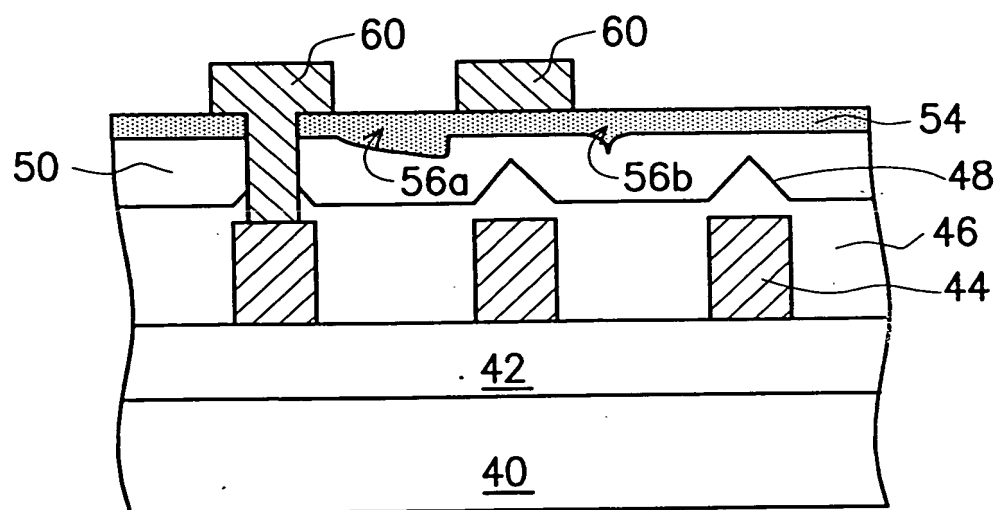
第3B圖



第3C圖



第3D圖



第3E圖

6077784

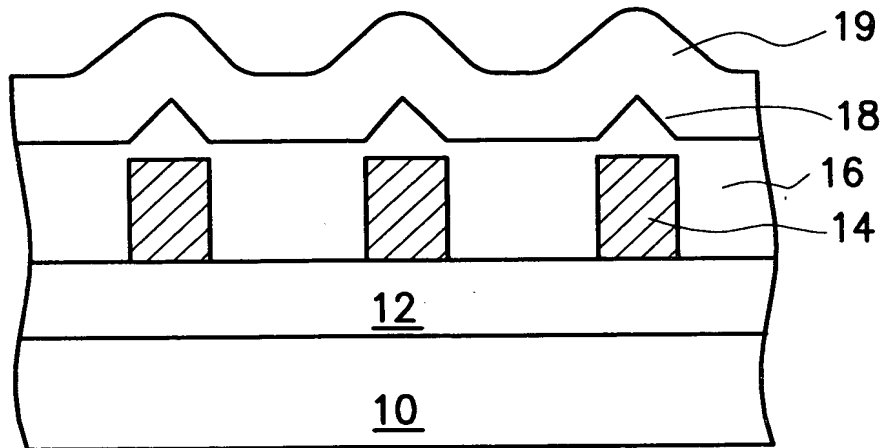


FIG. 1A (PRIOR ART)

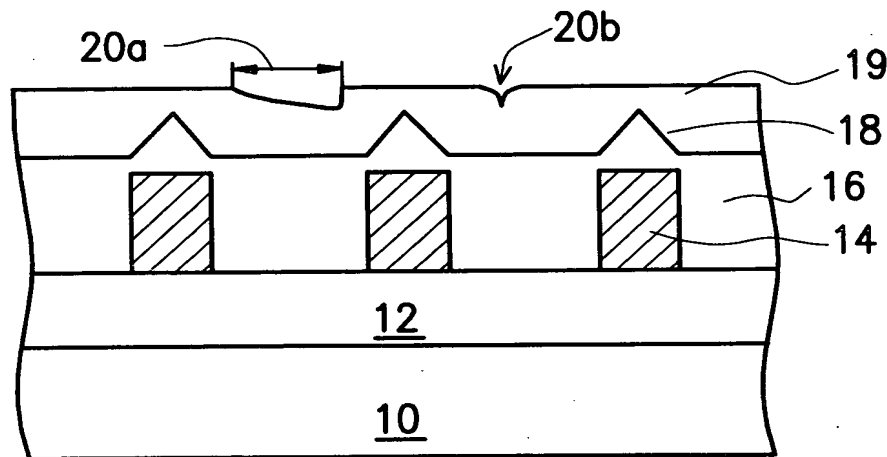


FIG. 1B (PRIOR ART)

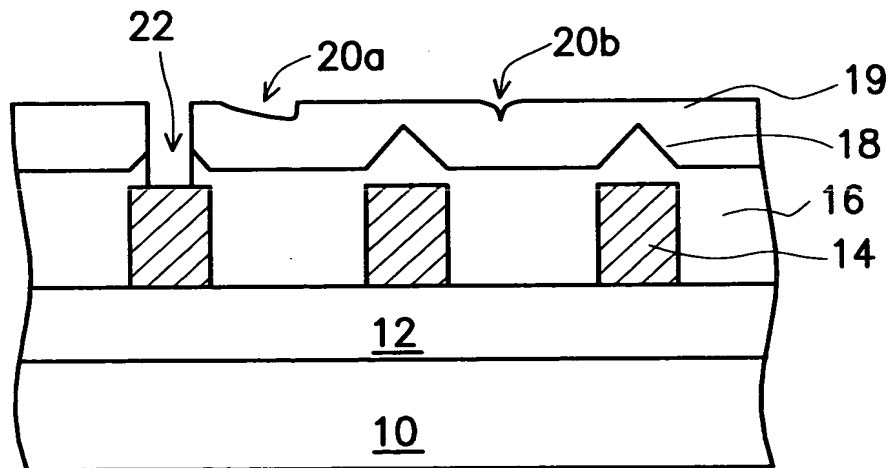


FIG. 1C (PRIOR ART)

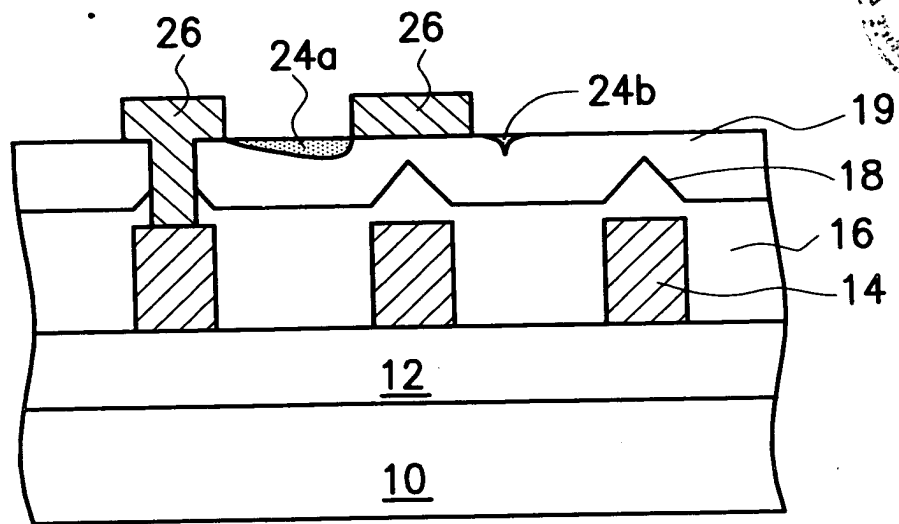


FIG. 1D (PRIOR ART)

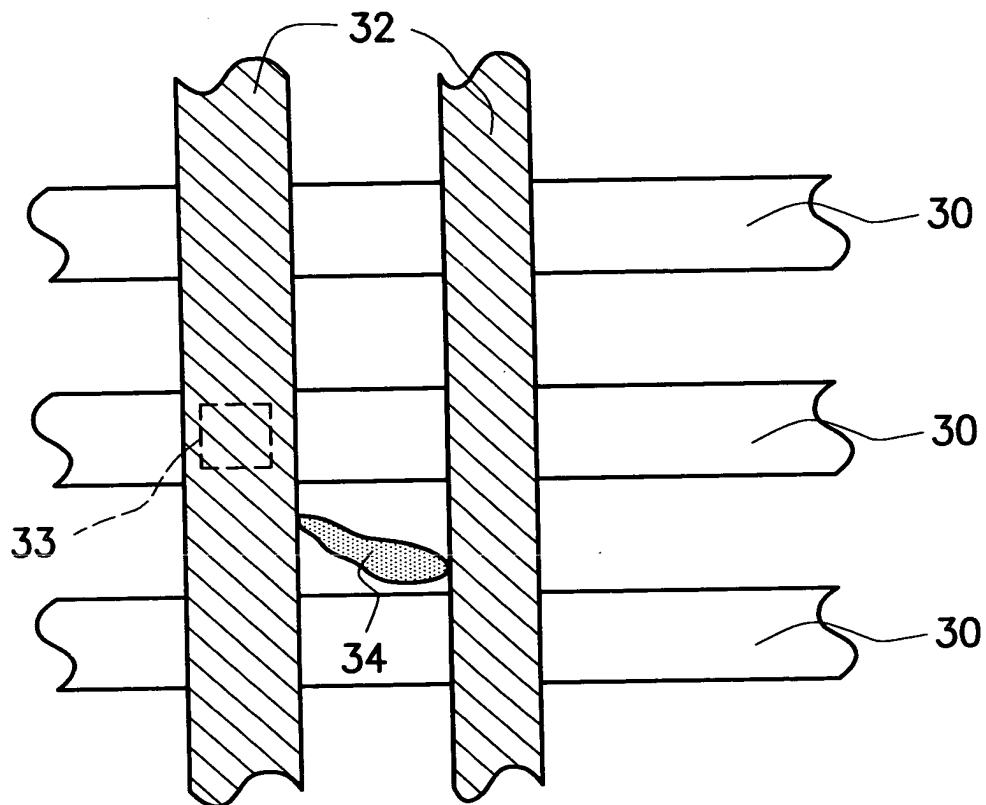


FIG. 2 (PRIOR ART)

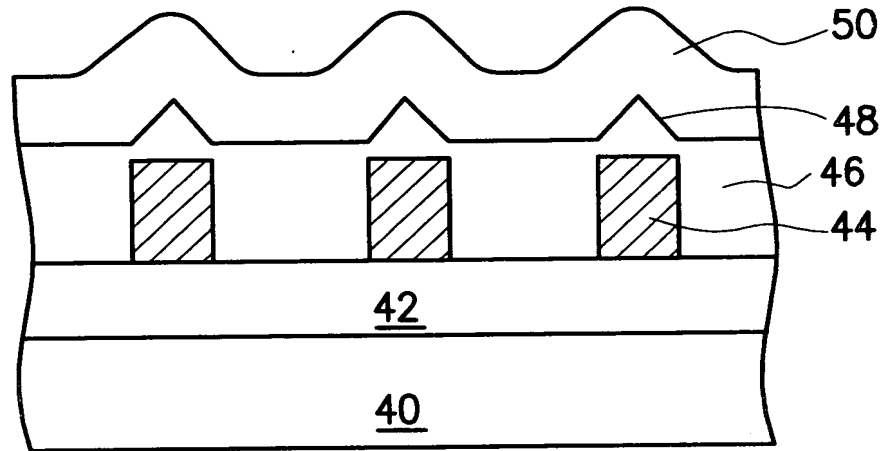


FIG. 3A

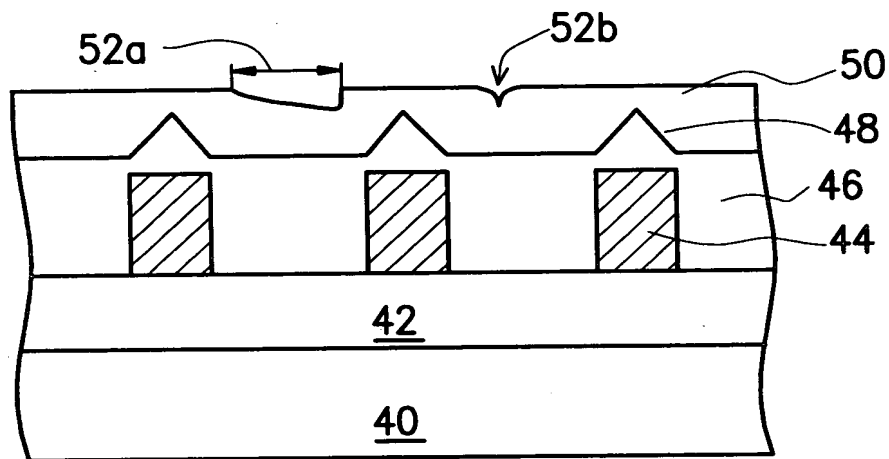


FIG. 3B

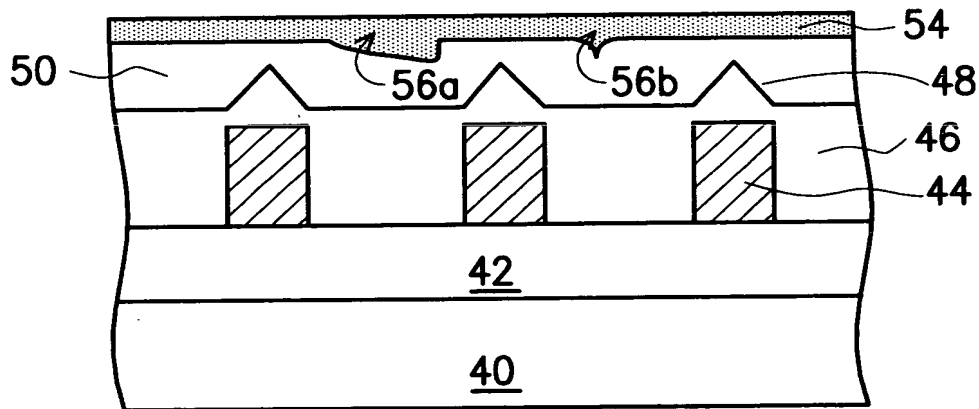


FIG. 3C

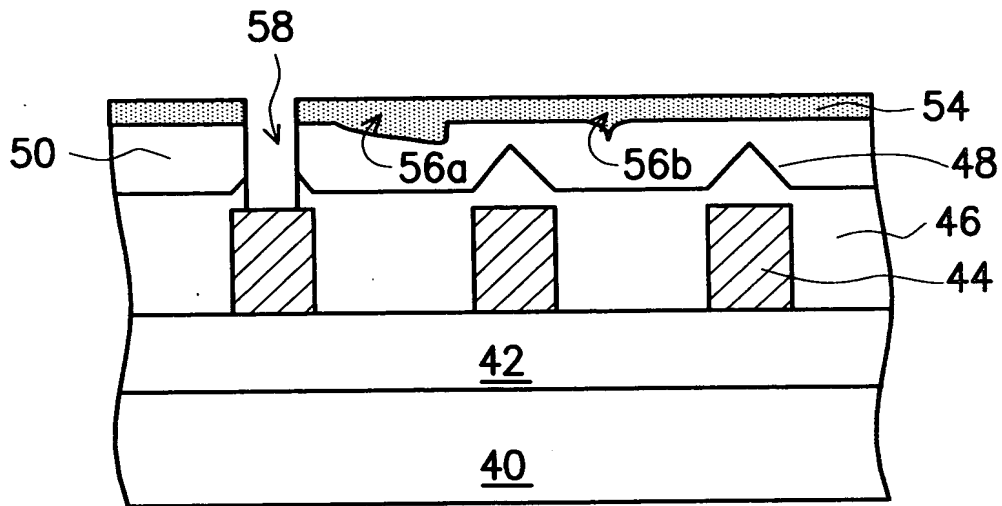


FIG. 3D

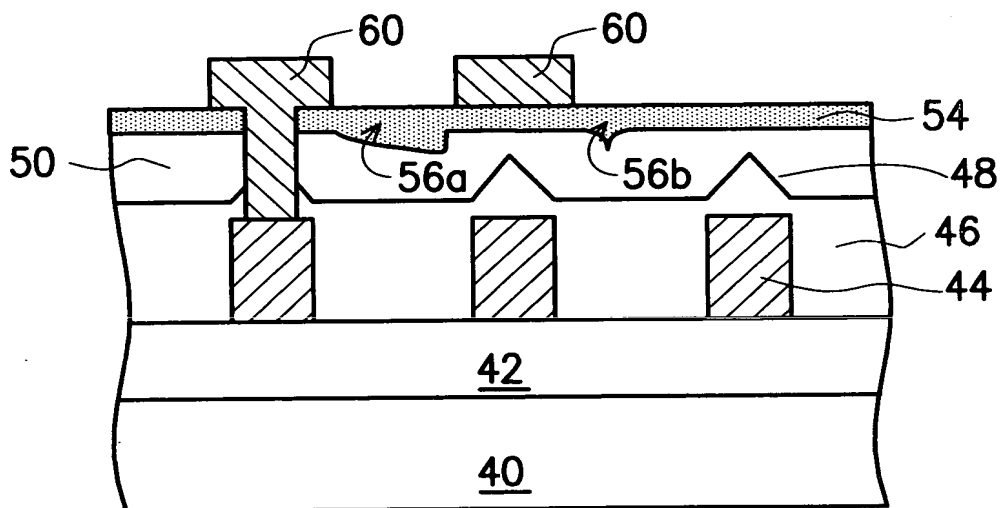


FIG. 3E